

PAT-NO: JP02003218204A

DOCUMENT-IDENTIFIER: JP 2003218204 A

TITLE: CIRCUIT SIMULATION SYSTEM AND METHOD THEREFOR

PUBN-DATE: July 31, 2003

INVENTOR- INFORMATION:

NAME	COUNTRY
TSUJII, TAKAFUMI	N/A

ASSIGNEE- INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP2002009166

APPL-DATE: January 17, 2002

INT-CL (IPC): H01L021/82, G01R031/28 , G06F017/50 , H01L021/00

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a result enhanced in accuracy from circuit simulation by taking into account the parasitic capacitance element to occur between resistance elements.

SOLUTION: A resistance database generation unit 15 collects coordinates and nodes for each resistance element from an element recognition chart prepared by an extraction execution (element recognition) unit 13, and stores them in a resistance database. An inter-resistance element parasitic capacitance value calculation unit 16 selects out of the resistance database two resistance elements sharing a common section capable of generating parasitic capacitance, calculates the parasitic capacitance value between the resistance elements, and

stores the value in a parasitic capacitance list wherein the value and the nodes are coordinated with each other. A parasitic capacitance insertion unit 17 generates a net list corrected by the addition of a remark to a net list generated by a circuit simulation net list generation unit 14 about the insertion of a parasitic capacitance element, the same in parasitic capacitance as the parasitic capacitance value in the parasitic capacitance list, into between the nodes, and passes the corrected net list to a circuit simulation execution unit 18.

COPYRIGHT: (C) 2003, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-218204

(P2003-218204A)

(43)公開日 平成15年7月31日(2003.7.31)

(51)Int CL'	識別記号	F I	テーマコード(参考)
H 01 L 21/82		G 06 F 17/50	6 6 6 L 2 G 1 3 2
G 01 R 31/28		H 01 L 21/00	5 B 0 4 6
G 06 F 17/50	6 6 6	21/82	T 5 F 0 6 4
H 01 L 21/00		G 01 R 31/28	F

審査請求 未請求 請求項の数16 OL (全 18 頁)

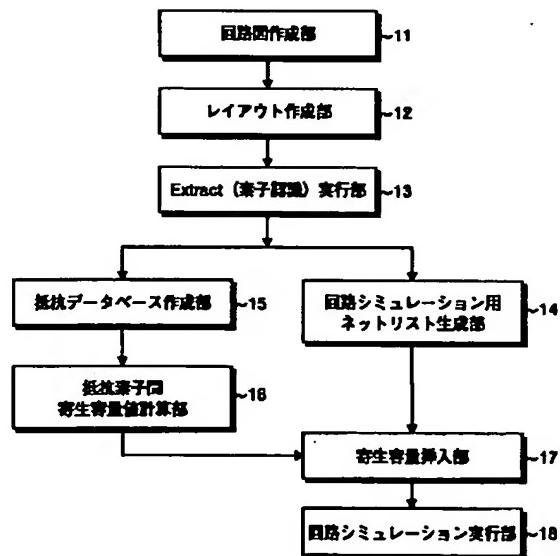
(21)出願番号	特願2002-9166(P2002-9166)	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成14年1月17日(2002.1.17)	(72)発明者	辻井 尚文 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人	100089118 弁理士 津井 宏明 F ターム(参考) 2G132 AAD0 AC11 AL09 AL11 5B046 AAD8 BA03 KA05 5F064 HH06 HH09

(54)【発明の名称】回路シミュレーション装置および方法

(57)【要約】

【課題】 抵抗素子間に発生する寄生容量素子をも考慮した回路シミュレーションが実施でき、回路シミュレーション結果の高精度化を図る。

【解決手段】 抵抗データベース作成部15は、Extract(素子認識)実行部13にて作成された素子認識図から抵抗素子毎に座標値とノードを収集し、それらを抵抗データベースに格納する。抵抗素子間寄生容量値算出部16は、抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子を選択して抵抗素子間の寄生容量値を算出し、算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する。寄生容量挿入部17は、回路シミュレーション用ネットリスト生成部14にて生成されたネットリストに、寄生容量リストに保存された寄生容量値を持つ寄生容量素子をノード間に挿入する記述を追加することで修正したネットリストを生成し、回路シミュレーション実行部18に渡す。



【特許請求の範囲】

【請求項1】 回路図を作成する回路図作成手段と、前記回路図に基づきレイアウト図を作成するレイアウト作成手段と、前記レイアウト図に対して素子認識を実行し、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子を抽出した素子認識図を生成する素子認識実行手段と、前記素子認識図に基づき回路シミュレーション用のネットリストを生成するネットリスト生成手段と、前記素子認識図から抵抗素子毎に座標値とノードを収集しそれらを抵抗データベースに格納する抵抗データベース作成手段と、前記抵抗データベースから寄生容量を発生させる共通区間に有する二つの抵抗素子を選択して抵抗素子間の寄生容量値を算出し、算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する寄生容量値算出手段と、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述を追加することで、修正したネットリストを生成する寄生容量挿入手段と、前記修正されたネットリストに従って回路シミュレーションを実施する回路シミュレーション実行手段と、を備えたことを特徴とする回路シミュレーション装置。

【請求項2】 回路図を作成する回路図作成手段と、前記回路図に基づきレイアウト図を作成するレイアウト作成手段と、前記レイアウト図に対して素子認識を実行し、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子を抽出した素子認識図を生成する素子認識実行手段と、前記素子認識図に基づき回路シミュレーション用のネットリストを生成するネットリスト生成手段と、前記素子認識図から抵抗素子毎に座標値とノードを収集しそれらを抵抗データベースに格納する抵抗データベース作成手段と、前記抵抗データベースから寄生容量を発生させる共通区間に有する二つの抵抗素子を選択し、抵抗素子間の寄生容量値を算出する寄生容量値算出手段と、前記寄生容量値の算出が行われた抵抗素子において共通区間が抵抗素子の一部であるとき、共通区間の端部に前記ノードが存在しない抵抗素子の対応する位置に仮想点を作成し、前記データベースに抵抗素子と関連づけて格納するとともに、前記算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する仮想点作成手段と、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述を追加することで、修正したネットリストを生成する寄生容量挿入手段と、前記修正されたネットリストに記述された抵抗素子を、前記データベースに格納された仮想点で分割した抵抗素子に置き換えることで、仮想点間に寄生容量素子が挿入されるよう再修正したネットリストを生成する抵抗分割手段と、前記再修正されたネットリストに従って回路シミュレーションを実施する回路シミュレーション実行手段と、を備えたことを特徴とする回路シミュレーション装置。

10

【請求項3】 前記仮想点作成手段は、

指定された分割数に応じた数の仮想点を前記共通区間に作成する、ことを特徴とする請求項2に記載の回路シミュレーション装置。

20

【請求項4】 寄生容量値算出手段は、

寄生容量を発生させる共通区間に有する二つの抵抗素子を選択する際に、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持つ他の抵抗素子が存在しない関係の抵抗素子同士を選択する、

20

ことを特徴とする請求項1～3のいずれか一つに記載の回路シミュレーション装置。

【請求項5】 寄生容量値算出手段は、

寄生容量を発生させる共通区間に有する二つの抵抗素子について算出した寄生容量値が予め定めた最小容量値以下であるときは、当該算出した寄生容量値は破棄する、ことを特徴とする請求項1～4のいずれか一つに記載の回路シミュレーション装置。

30

【請求項6】 寄生容量値算出手段は、

寄生容量を発生させる共通区間に有する二つの抵抗素子について、両者間の距離が予め定めた最大距離以上であるときは、寄生容量値は算出しない、ことを特徴とする請求項1～4のいずれか一つに記載の回路シミュレーション装置。

40

【請求項7】 寄生容量値算出手段は、

寄生容量を発生させる共通区間に有する二つの抵抗素子について、前記共通区間の幅が予め定めた最小幅以下であるときは、寄生容量値は算出しない、ことを特徴とする請求項1～4のいずれか一つに記載の回路シミュレーション装置。

40

【請求項8】 前記抵抗データベース作成手段は、

前記抵抗データベースに各抵抗素子の構造も格納する、ことを特徴とする請求項1～7のいずれか一つに記載の回路シミュレーション装置。

【請求項9】 回路図を作成する回路図作成工程と、前記回路図に基づきレイアウト図を作成するレイアウト作成工程と、

前記レイアウト図に対して素子認識を実行し、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子を抽出した素子認識図を生成する素子認識実行工程と、

前記素子認識図に基づき回路シミュレーション用のネットリストを生成するネットリスト生成工程と、
前記素子認識図から抵抗素子毎に座標値とノードを収集しそれらを抵抗データベースに格納する抵抗データベース作成工程と、
前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子を選択して抵抗素子間の寄生容量値を算出し、算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する寄生容量値算出工程と、
前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述を追加することで、修正したネットリストを生成する寄生容量挿入工程と、
前記修正されたネットリストに従って回路シミュレーションを実施する回路シミュレーション実行工程と、
を備えたことを特徴とする回路シミュレーション方法。
【請求項10】 回路図を作成する回路図作成工程と、前記回路図に基づきレイアウト図を作成するレイアウト作成工程と、
前記レイアウト図に対して素子認識を実行し、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子を抽出した素子認識図を生成する素子認識実行工程と、
前記素子認識図に基づき回路シミュレーション用のネットリストを生成するネットリスト生成工程と、
前記素子認識図から抵抗素子毎に座標値とノードを収集しそれらを抵抗データベースに格納する抵抗データベース作成工程と、
前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子を選択し、抵抗素子間の寄生容量値を算出する寄生容量値算出工程と、
前記寄生容量値の算出が行われた抵抗素子において共通区間が抵抗素子の一部であるとき、共通区間の端部に前記ノードが存在しない抵抗素子の対応する位置に仮想点を作成し、前記データベースに抵抗素子と関連づけて格納するとともに、前記算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する仮想点作成工程と、
前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述を追加することで、修正したネットリストを生成する寄生容量挿入工程と、
前記修正されたネットリストに記述された抵抗素子を、前記データベースに格納された仮想点で分割した抵抗素子に置き換えることで、仮想点間に寄生容量素子が挿入されるように再修正したネットリストを生成する抵抗分割工程と、
前記再修正されたネットリストに従って回路シミュレーションを実施する回路シミュレーション実行工程と、

- 10 を備えたことを特徴とする回路シミュレーション方法。
【請求項11】 前記仮想点作成工程では、指定された分割数に応じた数の仮想点を前記共通区間に作成する、ことを特徴とする請求項10に記載の回路シミュレーション方法。
【請求項12】 寄生容量値算出工程では、寄生容量を発生させる共通区間を有する二つの抵抗素子を選択する際に、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持つ他の抵抗素子が存在しない関係の抵抗素子同士を選択する、ことを特徴とする請求項9～11のいずれか一つに記載の回路シミュレーション方法。
【請求項13】 寄生容量値算出工程では、寄生容量を発生させる共通区間を有する二つの抵抗素子について算出した寄生容量値が予め定めた最小容量値以下であるときは、当該算出した寄生容量値は破棄する、ことを特徴とする請求項9～12のいずれか一つに記載の回路シミュレーション方法。
20 【請求項14】 寄生容量値算出工程では、寄生容量を発生させる共通区間を有する二つの抵抗素子について、両者間の距離が予め定めた最大距離以上であるときは、寄生容量値は算出しない、ことを特徴とする請求項9～12のいずれか一つに記載の回路シミュレーション方法。
【請求項15】 寄生容量値算出工程では、寄生容量を発生させる共通区間を有する二つの抵抗素子について、前記共通区間の幅が予め定めた最小幅以下であるときは、寄生容量値は算出しない、
30 ことを特徴とする請求項9～12のいずれか一つに記載の回路シミュレーション方法。
【請求項16】 前記抵抗データベース作成工程では、前記抵抗データベースに各抵抗素子の構造も格納する、ことを特徴とする請求項9～15のいずれか一つに記載の回路シミュレーション方法。
【発明の詳細な説明】
【0001】
【発明の属する技術分野】この発明は、半導体回路の抵抗素子間の寄生容量を抽出して回路の動作検証を行う回路シミュレーション装置および方法に関する。
【0002】
【従来の技術】図18は、従来の回路シミュレーション装置の構成例を示すブロック図である。図18において、従来の回路シミュレーション装置は、回路図作成部11と、回路図作成部11の出力を受けるレイアウト作成部12と、レイアウト作成部12の出力を受けるExtract(素子認識)実行部13と、Extract(素子認識)実行部13の出力を受ける回路シミュレーション用ネットリスト生成部14と、回路シミュレーション用ネットリスト生成部14の出力を受ける回路シミ

ュレーション実行部18とを備えている。

【0003】以下に、動作の概要を説明する。図18において、回路図作成部11では、抵抗素子や容量素子、トランジスタなどの素子を接続する回路設計が行われる。そして、本装置による回路シミュレーションに先だって回路図作成部11にて設計した回路が所望の動作を行うことを検証するため、回路図上に電源や信号源等を付加して回路シミュレーションが実施される。

【0004】さて、レイアウト作成部12では、実際の半導体回路を作成するために、回路図作成部11にて作成された回路図を元にしてレイアウト図が作成される。次いでExtract(素子認識)実行部13では、レイアウト作成部12にて作成されたレイアウト図に対して素子認識(Extract)が実行され、レイアウト図から抵抗素子や容量素子、トランジスタなどの素子、および、配線の寄生抵抗素子、配線-配線間や配線-基板間の寄生容量素子をそれぞれ抽出したextract図面(以下「素子認識図面」という)が作成される。このとき、Extract(素子認識)実行部13では、このように作成された素子認識図面の中の素子の接続関係が回路図と同一かどうかの比較検証(LVS:レイアウト・バーサス・スケマティック)が行われる。

【0005】そして、回路シミュレーション用ネットリスト生成部14では、Extract(素子認識)実行部13にて作成された素子認識図面に含まれている抵抗素子や容量素子、トランジスタなどの素子、および、配線の寄生抵抗素子、配線-配線間や配線-基板間の寄生容量素子を用いて回路シミュレーション用のネットリストが生成される。回路シミュレーション実行部18では、回路シミュレーション用ネットリスト生成部14にて生成されたネットリストを用いて回路シミュレーションが実施される。

【0006】回路シミュレーション用ネットリスト生成部14にて生成されたネットリストは、配線-配線間や配線-基板間の寄生容量が考慮されている(つまりバックアノテーションが行われている)ので、回路シミュレーション実行部18では、回路図作成部11にて作成された回路図に対する回路シミュレーションよりも高精度な回路シミュレーションが実施できる。

【0007】

【発明が解決しようとする課題】しかしながら、従来のExtract(素子認識)手法では、寄生素子を抽出する対象が、配線、配線対配線、配線対基板であるので、レイアウト図から配線の寄生抵抗素子や、配線-配線間、配線-基板間の寄生容量素子は抽出できるが、例えば並行する抵抗素子の間で発生する寄生容量素子は抽出できない。そのため、従来では、実際の半導体回路に対しては誤差が生じていたので、設計した回路が回路シミュレーション装置による回路シミュレーションでは動作したが、実際の半導体回路では動作しないという現象

が生じ、設計のやり直しをせざるを得ない場合が起こるという問題があった。

【0008】この発明は上記に鑑みてなされたもので、抵抗素子間に発生する寄生容量素子をも考慮した回路シミュレーションが実施でき、回路シミュレーション結果の高精度化が図れる回路シミュレーション装置および方法を得ることを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため10に、この発明にかかる回路シミュレーション装置は、回路図を作成する回路図作成手段と、前記回路図に基づきレイアウト図を作成するレイアウト作成手段と、前記レイアウト図に対して素子認識を実行し、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子を抽出した素子認識図を生成する素子認識実行手段と、前記素子認識図に基づき回路シミュレーション用のネットリストを生成するネットリスト生成手段と、前記素子認識図から抵抗素子毎に座標値とノードを収集しそれらを抵抗データベースに格納する抵抗データベース作成手段と、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子を選択して抵抗素子間の寄生容量値を算出し、算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する寄生容量算出手段と、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述を追加することで、修正したネットリストを生成する寄生容量挿入手段と、前記修正されたネットリストに従って回路シミュレーションを実施する回路シミュレーション実行手段とを備えたことを特徴とする。

【0010】この発明によれば、回路図作成手段にて、回路図が作成されると、レイアウト作成手段にて、前記回路図に基づきレイアウト図が作成される。そして、素子認識実行手段にて、前記レイアウト図に対して素子認識が実行され、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子が抽出され、それにに基づき素子認識図が生成される。次いで、ネットリスト生成手段にて、前記素子認識図に基づき回路シミュレーション用のネットリストが生成される。一方、抵抗データベース作成手段にて、前記素子認識図から抵抗素子毎に座標値とノードが収集されそれらが抵抗データベースに格納されると、寄生容量値算出手段にて、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子が選択されて抵抗素子間の寄生容量値が算出され、算出された寄生容量値と前記ノードとが関連付けて寄生容量リストに保存される。その結果、寄生容量挿入手段にて、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述の追加された修正ネットリストが生成され、回路シミュレーション実行手段に

て、前記修正されたネットリストに従った回路シミュレーションが実施される。つまり、抵抗素子間の寄生容量素子を考慮した回路シミュレーションが実施される。

【0011】つぎの発明にかかる回路シミュレーション装置は、回路図を作成する回路図作成手段と、前記回路図に基づきレイアウト図を作成するレイアウト作成手段と、前記レイアウト図に対して素子認識を実行し、各種の素子および配線、配線一配線間や配線一基板間に発生する寄生素子を抽出した素子認識図を生成する素子認識実行手段と、前記素子認識図に基づき回路シミュレーション用のネットリストを生成するネットリスト生成手段と、前記素子認識図から抵抗素子毎に座標値とノードを収集しそれらを抵抗データベースに格納する抵抗データベース作成手段と、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子を選択し、抵抗素子間の寄生容量値を算出する寄生容量値算出手段と、前記寄生容量値の算出が行われた抵抗素子において共通区間が抵抗素子の一部であるとき、共通区間の端部に前記ノードが存在しない抵抗素子の対応する位置に仮想点を作成し、前記データベースに抵抗素子と関連づけて格納するとともに、前記算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する仮想点作成手段と、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述を追加することで、修正したネットリストを生成する寄生容量挿入手段と、前記修正されたネットリストに記述された抵抗素子を、前記データベースに格納された仮想点で分割した抵抗素子に置き換えることで、仮想点間に寄生容量素子が挿入されるように再修正したネットリストを生成する抵抗分割手段と、前記再修正されたネットリストに従って回路シミュレーションを実施する回路シミュレーション実行手段とを備えたことを特徴とする。

【0012】この発明によれば、回路図作成手段にて、回路図が作成されると、レイアウト作成手段にて、前記回路図に基づきレイアウト図が作成される。そして、素子認識実行手段にて、前記レイアウト図に対して素子認識が実行され、各種の素子および配線、配線一配線間や配線一基板間に発生する寄生素子が抽出され、それにに基づき素子認識図が生成される。次いで、ネットリスト生成手段にて、前記素子認識図に基づき回路シミュレーション用のネットリストが生成される。一方、抵抗データベース作成手段にて、前記素子認識図から抵抗素子毎に座標値とノードが収集されそれらが抵抗データベースに格納されると、寄生容量値算出手段にて、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子が選択されて抵抗素子間の寄生容量値が算出されると、仮想点作成手段にて、前記寄生容量値の算出が行われた抵抗素子において共通区間が抵抗素子の一部であるとき、共通区間の端部に前記ノードが存在しな

い抵抗素子の対応する位置に仮想点が作成され、前記データベースに抵抗素子と関連づけて格納されるとともに、前記算出した寄生容量値と前記ノードとが関連付けて寄生容量リストに保存される。その結果、寄生容量挿入手手段にて、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述の追加された修正ネットリストが生成され、さらに抵抗分割手段にて、前記修正されたネットリストに記述された抵抗素子を、前記データベースに格納された仮想点で分割した抵抗素子に置き換えることで、仮想点間に寄生容量素子が挿入されるよう再修正したネットリストが生成され、回路シミュレーション実行手段にて、前記再修正されたネットリストに従った回路シミュレーションが実施される。つまり、共通区間が一部の範囲である抵抗素子間の正しい位置に挿入された寄生容量素子を考慮した回路シミュレーションが実施される。

【0013】つぎの発明にかかる回路シミュレーション装置は、上記の発明において、前記仮想点作成手段は、20 指定された分割数に応じた数の仮想点を前記共通区間に作成することを特徴とする。

【0014】この発明によれば、上記の発明において、前記仮想点作成手段では、指定された分割数に応じた数の仮想点が共通区間に作成される。

【0015】つぎの発明にかかる回路シミュレーション装置は、上記の発明において、寄生容量値算出手段は、寄生容量を発生させる共通区間を有する二つの抵抗素子を選択する際に、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持つ他の抵抗素子が存在しない関係の抵抗素子同士を選択することを特徴とする。

【0016】この発明によれば、上記の発明において、寄生容量値算出手段では、寄生容量を発生させる共通区間を有する二つの抵抗素子を選択する際に、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持つ他の抵抗素子が存在しない関係の抵抗素子同士が選択される。

【0017】つぎの発明にかかる回路シミュレーション装置は、上記の発明において、寄生容量値算出手段は、寄生容量を発生させる共通区間を有する二つの抵抗素子について算出した寄生容量値が予め定めた最小容量値以下であるときは、当該算出した寄生容量値は破棄することを特徴とする。

【0018】この発明によれば、上記の発明において、寄生容量値算出手段では、寄生容量を発生させる共通区間を有する二つの抵抗素子について算出した寄生容量値が予め定めた最小容量値以下であるときは、当該算出した寄生容量値は破棄される。

【0019】つぎの発明にかかる回路シミュレーション装置は、上記の発明において、寄生容量値算出手段は、寄生容量を発生させる共通区間を有する二つの抵抗素子

9

について、両者間の距離が予め定めた最大距離以上であるときは、寄生容量値は算出しないことを特徴とする。

【0020】この発明によれば、上記の発明において、寄生容量値算出手段では、寄生容量を発生させる共通区間を有する二つの抵抗素子について、両者間の距離が予め定めた最大距離以上であるときは、寄生容量値は算出されない。

【0021】つきの発明にかかる回路シミュレーション装置は、上記の発明において、寄生容量値算出手段は、寄生容量を発生させる共通区間を有する二つの抵抗素子について、前記共通区間の幅が予め定めた最小幅以下であるときは、寄生容量値は算出しないことを特徴とする。

【0022】この発明によれば、上記の発明において、寄生容量値算出手段では、寄生容量を発生させる共通区間を有する二つの抵抗素子について、前記共通区間の幅が予め定めた最小幅以下であるときは、寄生容量値は算出されない。

【0023】つぎの発明にかかる回路シミュレーション装置は、上記の発明において、前記抵抗データベース作成手段は、前記抵抗データベースに各抵抗素子の構造も格納することを特徴とする。

【0024】この発明によれば、上記の発明において、前記抵抗データベース作成手段では、前記抵抗データベースに各抵抗素子の構造も格納される。

【0025】つぎの発明にかかる回路シミュレーション方法は、回路図を作成する回路図作成工程と、前記回路図に基づきレイアウト図を作成するレイアウト作成工程と、前記レイアウト図に対して素子認識を実行し、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子を抽出した素子認識図を生成する素子認識実行工程と、前記素子認識図に基づき回路シミュレーション用のネットリストを生成するネットリスト生成工程と、前記素子認識図から抵抗素子毎に座標値とノードを収集しそれらを抵抗データベースに格納する抵抗データベース作成工程と、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子を選択して抵抗素子間の寄生容量値を算出し、算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する寄生容量値算出工程と、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述を追加することで、修正したネットリストを生成する寄生容量挿入工程と、前記修正されたネットリストに従って回路シミュレーションを実施する回路シミュレーション実行工程とを備えたことを特徴とする。

【0026】この発明によれば、回路図作成工程にて、回路図が作成されると、レイアウト作成工程にて、前記回路図に基づきレイアウト図が作成される。そして、素子認識実行工程にて、前記レイアウト図に対して素子認

識が実行され、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子が抽出され、それにに基づき素子認識図が生成される。次いで、ネットリスト生成工程にて、前記素子認識図に基づき回路シミュレーション用のネットリストが生成される。一方、抵抗データベース作成工程にて、前記素子認識図から抵抗素子毎に座標値とノードが収集されそれらが抵抗データベースに格納されると、寄生容量算出工程にて、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子が選択されて抵抗素子間の寄生容量値が算出され、算出された寄生容量値と前記ノードとが関連付けて寄生容量リストに保存される。その結果、寄生容量挿入工程にて、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述の追加された修正ネットリストが生成され、回路シミュレーション実行工程にて、前記修正されたネットリストに従った回路シミュレーションが実施される。つまり、抵抗素子間の寄生容量素子を考慮した回路シミュレーションが実施される。

20 【0027】つきの発明にかかる回路シミュレーション方法は、回路図を作成する回路図作成工程と、前記回路図に基づきレイアウト図を作成するレイアウト作成工程と、前記レイアウト図に対して素子認識を実行し、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子を抽出した素子認識図を生成する素子認識実行工程と、前記素子認識図に基づき回路シミュレーション用のネットリストを生成するネットリスト生成工程と、前記素子認識図から抵抗素子毎に座標値とノードを収集しそれらを抵抗データベースに格納する抵抗データ

30 ベース作成工程と、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子を選択し、抵抗素子間の寄生容量値を算出する寄生容量値算出工程と、前記寄生容量値の算出が行われた抵抗素子において共通区間が抵抗素子の一部であるとき、共通区間の端部に前記ノードが存在しない抵抗素子の対応する位置に仮想点を作成し、前記データベースに抵抗素子と関連づけて格納するとともに、前記算出した寄生容量値と前記ノードとを関連付けて寄生容量リストに保存する仮想点作成工程と、前記生成されたネットリストに前記寄生

40 容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述を追加することで、修正したネットリストを生成する寄生容量挿入工程と、前記修正されたネットリストに記述された抵抗素子を、前記データベースに格納された仮想点で分割した抵抗素子に置き換えることで、仮想点間に寄生容量素子が挿入されるよう再修正したネットリストを生成する抵抗分割工程と、前記再修正されたネットリストに従って回路シミュレーションを実施する回路シミュレーション実行工程とを備えたことを特徴とする。

50 【0028】この発明によれば、回路図作成工程にて、

11

回路図が作成されると、レイアウト作成工程にて、前記回路図に基づきレイアウト図が作成される。そして、素子認識実行工程にて、前記レイアウト図に対して素子認識が実行され、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子が抽出され、それにに基づき素子認識図が生成される。次いで、ネットリスト生成工程にて、前記素子認識図に基づき回路シミュレーション用のネットリストが生成される。一方、抵抗データベース作成工程にて、前記素子認識図から抵抗素子毎に座標値とノードが収集されそれらが抵抗データベースに格納されると、寄生容量値算出工程にて、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子が選択されて抵抗素子間の寄生容量値が算出されると、仮想点作成工程にて、前記寄生容量値の算出が行われた抵抗素子において共通区間が抵抗素子の一部であるとき、共通区間の端部に前記ノードが存在しない抵抗素子の対応する位置に仮想点が生成され、前記データベースに抵抗素子と関連づけて格納されるとともに、前記算出した寄生容量値と前記ノードとが関連付けて寄生容量リストに保存される。その結果、寄生容量挿入工程にて、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述が追加された修正ネットリストが生成され、さらに抵抗分割工程にて、前記修正されたネットリストに記述された抵抗素子を、前記データベースに格納された仮想点で分割した抵抗素子に置き換えることで、仮想点間に寄生容量素子が挿入されるよう再修正したネットリストが生成され、回路シミュレーション実行工程にて、前記再修正されたネットリストに従った回路シミュレーションが実施される。つまり、共通区間が一部の範囲である抵抗素子間の正しい位置に挿入された寄生容量素子を考慮した回路シミュレーションが実施される。

【0029】 つぎの発明にかかる回路シミュレーション方法は、上記の発明において、前記仮想点作成工程では、指定された分割数に応じた数の仮想点を前記共通区間に内に作成することを特徴とする。

【0030】 この発明によれば、上記の発明において、前記仮想点作成工程では、指定された分割数に応じた数の仮想点が共通区間に内に作成される。

【0031】 つぎの発明にかかる回路シミュレーション方法は、上記の発明において、寄生容量値算出工程は、寄生容量を発生させる共通区間を有する二つの抵抗素子を選択する際に、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持つ他の抵抗素子が存在しない関係の抵抗素子同士を選択することを特徴とする。

【0032】 この発明によれば、上記の発明において、寄生容量値算出工程では、寄生容量を発生させる共通区間に有する二つの抵抗素子を選択する際に、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持

12

つ他の抵抗素子が存在しない関係の抵抗素子同士が選択される。

【0033】 つぎの発明にかかる回路シミュレーション方法は、上記の発明において、寄生容量値算出工程は、寄生容量を発生させる共通区間を有する二つの抵抗素子について算出した寄生容量値が予め定めた最小容量値以下であるときは、当該算出した寄生容量値は破棄することを特徴とする。

【0034】 この発明によれば、上記の発明において、寄生容量値算出工程では、寄生容量を発生させる共通区間に有する二つの抵抗素子について算出した寄生容量値が予め定めた最小容量値以下であるときは、当該算出した寄生容量値は破棄される。

【0035】 つぎの発明にかかる回路シミュレーション方法は、上記の発明において、寄生容量値算出工程は、寄生容量を発生させる共通区間を有する二つの抵抗素子について、両者間の距離が予め定めた最大距離以上であるときは、寄生容量値は算出しないことを特徴とする。

【0036】 この発明によれば、上記の発明において、寄生容量値算出工程では、寄生容量を発生させる共通区間に有する二つの抵抗素子について、両者間の距離が予め定めた最大距離以上であるときは、寄生容量値は算出されない。

【0037】 つぎの発明にかかる回路シミュレーション方法は、上記の発明において、寄生容量値算出工程は、寄生容量を発生させる共通区間を有する二つの抵抗素子について、前記共通区間の幅が予め定めた最小幅以下であるときは、寄生容量値は算出しないことを特徴とする。

【0038】 この発明によれば、上記の発明において、寄生容量値算出工程では、寄生容量を発生させる共通区間に有する二つの抵抗素子について、前記共通区間の幅が予め定めた最大幅以上であるときは、寄生容量値は算出されない。

【0039】 つぎの発明にかかる回路シミュレーション方法は、上記の発明において、前記抵抗データベース作成工程は、前記抵抗データベースに各抵抗素子の構造も格納することを特徴とする。

【0040】 この発明によれば、上記の発明において、前記抵抗データベース作成工程では、前記抵抗データベースに各抵抗素子の構造も格納される。

【0041】

【発明の実施の形態】 以下に添付図面を参照して、この発明にかかる回路シミュレーション装置および方法の好適な実施の形態を詳細に説明する。

【0042】 実施の形態1. 図1は、この発明の実施の形態1である回路シミュレーション装置の構成を示すブロック図である。なお、図1では、従来例(図18)と同一ないしは同等である構成には、同一の符号が付されている。ここでは、この実施の形態1に関わる部分を中

心に説明する。

【0043】すなわち、図1に示すように、実施の形態1では、図18に示した構成において、抵抗データベース作成部15と抵抗素子間寄生容量値計算部16と寄生容量挿入部17が追加して設けられている。

【0044】抵抗データベース作成部15には、回路シミュレーション用ネットリスト生成部14と並行に、Extract(素子認識)実行部13にて作成された素子認識図面が入力されている。抵抗データベース作成部15では、入力される素子認識図面からレイアウト内の抵抗に関する情報を取得して蓄積する抵抗データベースが作成される。

【0045】抵抗素子間寄生容量値計算部16では、抵抗データベース作成部15にて作成された抵抗データベースを用いて抵抗素子間に発生する寄生容量素子の寄生容量値が計算され、寄生容量リストが作成される。

【0046】寄生容量挿入部17では、回路シミュレーション用ネットリスト生成部14にて作成されたネットリスト上で、抵抗素子間に抵抗素子間寄生容量値計算部16にて求められた寄生容量値を持つ寄生容量素子が挿入される。

【0047】その結果、回路シミュレーション実行部18では、寄生容量挿入部17にて寄生容量素子の挿入されたネットリストを受けて、抵抗素子間に発生する寄生容量素子も考慮した回路シミュレーションが実施される。

【0048】次に、図1～図7を参照して、この実施の形態1に関わる部分の動作について説明する。なお、図2は、抵抗データベース作成部15が素子認識図面からレイアウト内の抵抗素子に関する情報を取得する動作の説明図である。図3は、抵抗データベース作成部15が作成する抵抗データベースの構成例を示す図である。図4は、抵抗素子間寄生容量値計算部16の算出処理手順を説明するフローチャートである。図5は、寄生容量挿入部17の挿入処理手順を説明するフローチャートである。図6は、寄生容量挿入部17にて抵抗素子間寄生容量素子が挿入されるネットリストの説明図である。図7は、寄生容量挿入部17による抵抗素子間寄生容量素子の挿入操作結果の説明図である。

【0049】まず、抵抗データベース作成部15の動作について説明する。図2において、横軸はx軸、縦軸はy軸である。図2では、長さの異なる二つの抵抗素子21、22が長手方向をy軸に平行させて、x軸に沿って距離を置いて配置されている。y軸に沿った幅Wは、二つの抵抗素子21、22に共通する領域であり、寄生容量素子が発生する区間を示している。

【0050】抵抗素子21は、抵抗素子本体部R1と両端のコンタクト部N11、N12とからなる。抵抗素子本体部R1を構成する矩形領域の座標は、x11、x12、y11、y12となっている。同様に、抵抗素子2

2は、抵抗素子本体部R2と両端のコンタクト部N21、N22とからなる。抵抗素子本体部R2を構成する矩形領域の座標は、x21、x22、y21、y22となっている。

【0051】抵抗データベース作成部15は、Extract(素子認識)実行部13にて作成された素子認識図面から、抵抗素子21について、抵抗素子名(R1)、抵抗素子本体部R1を構成する矩形座標(x11、x12、y11、y12)、および、コンタクト部N11、N12に対応するノード名(N11、N12)を取得し、データベースに格納する。また、抵抗素子22について、抵抗素子名(R2)、抵抗素子本体部R2を構成する矩形座標(x21、x22、y21、y22)、および、コンタクト部N21、N22に対応するノード名(N21、N22)を取得し、データベースに格納する。以下の説明では、コンタクト部はノードと称している。

【0052】このように、抵抗データベース作成部15は、レイアウト図に存在する全ての抵抗素子について、抵抗素子名(R)、座標値(x, y)、ノード名(N)の情報を収集し、データベースに格納する。したがって、データベースは、例えば図3に示すように、抵抗素子名が格納される領域31と、矩形領域の座標値が格納される領域32と、ノード名が格納される領域33とが互いに関連付けて設けられている。

【0053】次に、抵抗素子間寄生容量値計算部16の動作について説明する。抵抗素子間寄生容量値計算部16では、図4に示す手順に従って、抵抗データベースに格納されている抵抗素子名の組についてその抵抗素子間に寄生容量素子が発生するかどうかを検査し、寄生容量素子が発生する場合にその容量値が計算される。なお、抵抗素子名は、以下、単に「抵抗素子」という。

【0054】以下、図4に沿って図2、図3を参照しつつ説明する。図4において、ステップS41では、抵抗データベースにおいて二つの抵抗素子の組の全てについて検査したか否かが判定される。全ての抵抗素子の組について検査が終了していない場合には(ステップS41:No)、抵抗データベースから二つの抵抗素子(R1, R2)の情報を取り出し(ステップS42)、それぞれのx座標、y座標における区間を比較し(ステップS43)、共通する区間が存在するか否かを判定する(ステップS44)。ここで、共通する区間とは、例えば図2における座標値y11 (=y21) から座標値y22までの幅Wように、二つの抵抗素子R1, R2が共に共通に存在する座標の範囲のことを示す。

【0055】ステップS44の判定結果、共通区間が存在しない場合には(ステップS44:No)、ステップS41に戻り、次の組についての検索に移行するが、共通区間が存在する場合は(ステップS44:Yes)、二つの抵抗素子R1, R2の座標から、共通区間の幅W

および二つ抵抗素子R1, R2間の距離Lを計算し、区間幅Wおよび距離Lと、プロセス情報として与えられる単位幅・単位長さでの容量値とから、二つの抵抗素子R1, R2間の寄生容量値Cpを計算する(ステップS45)。

【0056】次いで、抵抗データベースから抵抗素子R1, R2それぞれに対応するノード名を取り出し、[N11, N21]および[N12, N22]というノード名の組を作る。そして、このノード名の組を両端としてCp/2の容量値を持つ寄生容量素子を挿入するためには、[N11, N21, Cp/2]および[N12, N22, Cp/2]の組を寄生容量リストに保存し(ステップS46)、ステップS41に戻る。ステップS41の判定結果が肯定(Yes)となるまで、以上の処理が繰り返し行われる。その結果、全ての抵抗素子の組について、その間に寄生容量素子が発生する場合には寄生容量値Cが求められ、[N1, N2, C]の組が寄生容量リストに保存される。

【0057】次に、寄生容量挿入部17の挿入処理動作について説明する。寄生容量挿入部17では、図5に示す手順に従って、上記のように作成された寄生容量リストの内容をネットリストに挿入する処理が行われる。

【0058】図5において、ステップS51では、寄生容量リストが空か否かが判定される。寄生容量リストが空でない場合は(ステップS51: No)、寄生容量リストから[N1, N2, C]の組を一つずつ取り出し(ステップS52)、その組の二つのノードN1, N2を両端とし、寄生容量値Cを持つ寄生容量素子のネットリスト記述「CP N1 N2」を作成する(ステップS53)。

【0059】そして、この寄生容量素子のネットリスト記述を回路シミュレーション用ネットリスト生成部14にて作成されたネットリストに追加挿入することで、修正されたネットリスト(図6参照)を生成し(ステップS54)、ステップS51に戻る。ステップS51の判定結果が肯定(Yes)となるまで、以上の処理が繰り返し行われ、寄生容量リストに保存された寄生容量素子の全てがネットリストに追加挿入され、回路シミュレーション実行部18に引き渡される。

【0060】図6において、図6(a)は、回路シミュレーション用ネットリスト生成部14にて作成されたネットリストを示す。抵抗素子R1, R2について、「R1 N11 N12」、「R2 N21 N22」が記述されている。図6(b)は、寄生容量挿入部17の挿入処理で作成された修正ネットリストを示す。符号61, 62に示すように、「CP1 N11 N21」と「CP2 N12 N22」の記述が追加挿入されている。

【0061】この挿入操作によって、抵抗素子間に発生する寄生容量素子が、図7に示す寄生容量素子CP1, CP2のように2分され、抵抗素子の両端(ノード位

置)に半分ずつ存在するような状態を表現することができる。図7(a)は、二つの抵抗素子の共通区間71が完全に一致する場合を示す。図7(b)は、二つの抵抗素子の長さが異なり一部の範囲が共通区間72となっている場合を示す。図7(c)は、二つの抵抗素子の長さが同じであるが、y軸方向にずれて配置されているので、一部の範囲が共通区間73となっている場合を示す。

【0062】半導体回路では、その面積をできるだけ小さくする必要があるので、多数の素子を高密度に、すなわち素子同士ができるだけ近づけて配置しなければならず、その結果、抵抗素子と抵抗素子の間に寄生容量素子が発生する。しかも、その寄生容量値は、回路の微細化が進むにつれ大きくなることが予想される。

【0063】これに対して、この実施の形態によれば、抵抗素子間に発生する寄生容量素子を考慮して回路シミュレーションを実施することができるので、従来手法よりも一層高精度な回路シミュレーション結果を得ることができる。

【0064】実施の形態2. 図8は、この発明の実施の形態2である回路シミュレーション装置の構成を示すブロック図である。なお、図8では、実施の形態1(図1)と同一ないしは同等である構成には、同一の符号が付されている。ここでは、この実施の形態2に関わる部分を中心に説明する。

【0065】すなわち、図8に示すように、実施の形態2では、図1に示した構成において、抵抗素子間寄生容量値計算部16と寄生容量挿入部17との間に、仮想点作成部81が設けられ、また寄生容量挿入部17と回路

シミュレーション実行部18との間に、抵抗分割部82が設けられている。

【0066】仮想点作成部81では、抵抗素子間寄生容量値計算部16にて寄生容量値が計算された抵抗素子の組を対象に、抵抗素子の途中に仮想点を求め、その仮想点を抵抗素子と関連付けて抵抗データベースに保存し、また作成した仮想点を含む寄生容量リストを作成する処理が行われる。

【0067】抵抗分割部82では、寄生容量挿入部17にて挿入処理が行われたネットリストにおいて、抵抗データベースに格納された仮想点を参照して仮想点の位置で抵抗素子を分割する処理が行われる。その結果、回路シミュレーション実行部18では、実施の形態1よりも高精度な回路シミュレーションが実施できるようになる。

【0068】すなわち、抵抗素子間に発生する寄生容量素子を考慮する場合、実施の形態1では、寄生容量素子を抵抗素子の両端(ノード位置)に挿入するので、図7(a)に示すように、二つの抵抗素子R1, R2の共通区間71が完全に一致する場合には、共通区間71の両端と寄生容量素子CP1, CP2を挿入する位置とがほ

ば一致する。この場合には、回路シミュレーション実行時に精度良く寄生容量素子を考慮することができる。

【0069】ところが、図7(b)では、抵抗素子R1のノードN11と抵抗素子R2のノードN21は、y座標が一致するので、寄生容量素子CP1は正しい位置に挿入できている。しかし、抵抗素子R2のノードN22のy座標と同じ座標を持つノードが抵抗素子R1には存在せず、共通区間72外のノードN12があるのみである。したがって、寄生容量素子CP2は、抵抗素子R2のノードN22と抵抗素子R1の共通区間72外のノードN12との間に挿入されることになる。

【0070】図7(c)では、二つの抵抗素子R1, R2は、長さは同じであるが、y軸方向にずれて配置されているので、共通区間73の両端部において、互いにy座標値を同じくするノードが存在しない。その結果、共通区間73を外れたノードN11とノードN21との間に寄生容量素子CP1が挿入され、共通区間73を外れたノードN12とノードN22との間に寄生容量素子CP2が挿入されることになる。

【0071】つまり、図7(b), (c)に示すように、共通区間72, 73が一部の範囲で一致する場合には、その共通区間72, 73の端部に対応するノード位置が相手の抵抗素子に存在しない場合が起こる。その場合には、寄生容量素子が発生する抵抗素子の範囲と全く異なる位置に寄生容量素子を挿入することになるので、折角挿入できた寄生容量素子を回路シミュレーション実行時に精度良く考慮することができない場合が生ずる。

【0072】そこで、この実施の形態2では、図7(b), (c)に示すように、一部の範囲が一致する場合でも、仮想点作成部81および抵抗分割部82によって寄生容量素子を正しい位置に挿入できるようにし、回路シミュレーション結果の精度向上を図っている。

【0073】次に、図8～図14を参照して、この実施の形態2に関わる部分の動作について説明する。なお、図9は、仮想点作成部81の仮想点作成処理手順を説明するフローチャートである。図10は、仮想点作成部81の仮想点作成動作を説明する図である。図11は、作成された仮想点を格納するデータベースの構成例である。図12は、抵抗分割部82の分割処理手順を説明するフローチャートである。図13は、分割した抵抗素子が挿入されるネットリストの説明図である。図14は、分割された抵抗素子間寄生容量素子の挿入操作結果の説明図である。

【0074】まず、仮想点作成部81の動作について説明する。仮想点作成部81は、図1に示した抵抗素子間寄生容量値計算部16にて選択された抵抗素子を対象にすることで、図9では、図4に示した処理手順において、ステップS46に代えて、ステップS91とステップS92が設けられている。すなわち、実施の形態2では、抵抗素子間寄生容量値計算部16は、寄生容量値の計算

まで行い(ステップS41～ステップS45)、その後の寄生容量リストの作成(ステップS46)は行わない。

【0075】ステップS91では、寄生容量値の計算が行われた二つの抵抗素子の組において一部の範囲が一致する場合に、一方の抵抗素子または双方の抵抗素子において、互いに一致する範囲(共通区間)の端部に、対応するノード位置が得られるようする仮想点を作成する処理が行われる。例えば図10は、図7(b)に対応する図であるが、抵抗素子R2のノードN22のy座標値と同じ座標値のノードが抵抗素子R1には存在しない場合は、抵抗素子R1上のノードN22に対応する位置に仮想点NV1が作成される。したがって、図7(c)に示すケースでは、抵抗素子R1, R2の双方に仮想点が作成されることになる。

【0076】そして、この実施の形態2で用いるデータベースは、図1に示すように、図3に示したデータベースに、仮想点を格納する領域111が追加され、上記のように作成された仮想点の名前と座標値とが抵抗素子と関連付けて保存できるようになっている。なお、仮想点を格納する領域111は、一つの抵抗素子について複数の仮想点が作成される場合もあるので、それらも格納できるように、リスト構造になっている。

【0077】次のステップS92では、抵抗素子間寄生容量値計算部16から受け取ったノード名と寄生容量値の組が寄生容量リストに保存される。具体的には、図10において、寄生容量素子は、抵抗素子R2のノードN22と抵抗素子R1に作成した仮想点NV1との間に挿入されることとし、「N22, NV1, Cp/2」の組が寄生容量リストに保存される。

【0078】ステップS41の判定結果が肯定(Ye)sとなるまで、以上の処理が繰り返し行われ、寄生容量値の計算が行われた抵抗素子のうち、共通区間が一部の範囲である二つの抵抗素子の組の全てについて仮想点が作成され、データベースに格納される。またノード名と寄生容量値の組が寄生容量リストに保存される。寄生容量リストは、寄生容量挿入部17で用いられる。これは前述したので、説明を割愛する。

【0079】次に、抵抗分割部82の動作について説明する。抵抗分割部82では、仮想点作成部81にて作成された仮想点で抵抗素子を、図12に示す手順に従って、分割する処理が行われる。

【0080】図12において、ステップS121では、寄生容量挿入部17にて作成された修正ネットリストを受けて、抵抗データベース内の該当する抵抗素子の全てについて分割したか否かが判定される。全てについての分割処理が終了していない場合には(ステップS121: No)、抵抗データベースから抵抗素子(例えばR1とする。但し、ノードは、図11で示したN11, N12ではなく、N1, N2を用いる)を取り出し(ステ

ップS122)、両端のノードN1, N2および仮想点作成部81にて作成された仮想点NV1, NV2, ..., NVn (nは、抵抗素子R1に対して作成した仮想点の数)の座標を取得する(ステップS123)。

【0081】そして、仮想点とノード間や、ノード間、仮想点間、すなわち、N1-NV1間、NV1-NV2間、..., NVn-N2間の距離L0, L1, ..., Lnを計算し、それとN1-N2間の距離Lとの比に、抵抗素子R1の抵抗値を掛けてそれぞれの抵抗値R1_0, R1_1, ..., R1_nを計算する(ステップS124)。

【0082】次いで寄生容量挿入部17にて抵抗素子間に寄生容量素子を挿入して生成された修正ネットリストにおける抵抗素子R1の記述を、分割した抵抗素子のネットリスト記述に置き換えることで(図13参照)、仮想点で抵抗素子を分割した分割ネットリストを生成し(ステップS125)、ステップS121に戻る。

【0083】ステップS121の判定結果が肯定(Yes)となるまで、以上の処理が繰り返し行われ、対象となる抵抗素子の全てについて分割処理が行われ、修正ネットリストから分割ネットリストが生成され、回路シミュレーション実行部18に引き渡される。

【0084】図13において、図13(a)は、寄生容量挿入部17にて抵抗素子間に寄生容量素子が挿入して生成された修正ネットリストを示す。これは、図6(b)に対応している。ここでは、符号131で示す抵抗素子R1の記述「R1_N11N12」を対象としている。図13(b)は、抵抗分割部82での分割処理で作成された分割ネットリストを示す。図13(a)に符号131で示す抵抗素子R1の記述が、図13(b)では、符号132, 133で示すように、分割抵抗の値R1_1, R1_2の記述に置き換わっている。分割抵抗の値R1_1の記述は、「[R1_1_N11_NV1]」である。分割抵抗の値R1_2の記述は、「[R1_2_NV1_N12]」である。

【0085】図14において、図14(a)は図7(b)に対応するが、抵抗素子R1に仮想点NV1が作成され、この仮想点NV1と抵抗素子R2のノードN2との間に正しく寄生容量素子CP2が挿入されている。図14(b)は図7(c)に対応するが、抵抗素子R1, R2のそれぞれに仮想点NV1, NV2が設けられ、抵抗素子R1の仮想点NV1と抵抗素子R2のノードN2との間に正しく寄生容量素子CP2が挿入されている。また、抵抗素子R1のノードN11と抵抗素子R2の仮想点NV2との間に正しく寄生容量素子CP1が挿入されている。

【0086】このように、実施の形態2では、仮想点作成処理と抵抗分割処理とを追加したので、図7(b)(c)に示したように二つの抵抗素子の一部の範囲が共通区間となる場合でも、両者間に発生する寄生容量素子

が、図14に示すように、共通区間の両端に半分ずつ存在するような状態を表現することができ、実施の形態1よりも一層高精度な回路シミュレーション結果を得ることができる。

【0087】実施の形態3。図15は、この発明の実施の形態3である回路シミュレーション装置の動作を説明するフローチャートである。実施の形態1, 2では、二つの抵抗素子の間に発生する寄生容量素子を、容量値を2分割して挿入する場合を示した。しかし、実際には、寄生容量素子は、一様に分布して発生するので、2個の寄生容量素子を挿入するだけでは精度が不十分な場合がある。また、寄生容量素子が挿入されていればよく、その数は問われない場合もある。

【0088】そこで、この実施の形態3では、実施の形態2で採用した仮想点作成の手法を拡張して1以上の任意の分割数で寄生容量素子を分割して挿入できるようにし、実際の発生状況に適切に対応でき、またユーザの多用な要求に柔軟に対応できるようしている。すなわち、図15に示す処理は、図9に示したステップS91に代わる処理である。

【0089】以下に図15、図16を参照して実施の形態3による寄生容量挿入処理を説明する。なお、図16は、寄生容量素子を任意の数に分割する分割処理を説明する図である。

【0090】図15において、ステップS151では、寄生容量値の計算が行われた二つの抵抗素子において、共通区間が一部の範囲である場合に、その共通区間の両端の座標(P1, P2とする)が取得され、ステップS152に進む。なお、ステップS151で取得される座標は、実施の形態2で説明した、挿入する2個の寄生容量素子を接続するノードの座標と同じであり、取得方法も同じである。但し、ステップS151では、座標を計算するだけで、仮想点の作成は行わない。

【0091】ステップS152では、分割数mが、1であるか否かが判定される。m=1である場合には(ステップS152: Yes)、共通区間の両端の座標P1, P2の中央に仮想点を作成し(ステップS153)、ステップS157に進む。例えば、図16(a)は、m=1の場合を示すが、抵抗素子R1, R2において、共通区間は長さの短い抵抗素子R2の範囲であるので、座標P1, P2は抵抗素子R2のノードN21, N22に対応し、その中央に仮想点NV2が作成される。また、抵抗素子R1にも対応する位置に座標P1, P2が求められているので、その中央に仮想点NV1が作成される。

【0092】一方、ステップS152において、m>1である場合には(ステップS152: No)、座標P1, P2に抵抗素子のノードがなければ、仮想点を作成して座標P1, P2に寄生容量素子が挿入できるようにし(ステップS154)、ステップS155に進む。例えば、図16では、m>1の場合の例として、図16

21

(b) に $m=2$ の場合、図16(c) に $m=3$ の場合が示されている。図16(b) (c)において、抵抗素子R2では、座標P1, P2にノードN21, N22があるが、抵抗素子R1では、座標P1, P2の一方に対応するノードがない。したがって、図16(b)では、抵抗素子R1において仮想点NV1が作成される。また、図16(c)では、抵抗素子R1において仮想点NV3が作成される。

【0093】ステップS155では、分割数mが、 $m > 2$ であるか否かが判定される。 $m = 2$ の場合には、ステップS155の判定は否定(No)となり、ステップS157に進む。一方、 $m \geq 3$ の場合には、ステップS155の判定は肯定(Yes)となり、ステップS156に進む。

【0094】ステップS156では、座標P1, P2間を($m-1$)等分するように($m-2$)個の仮想点が等間隔に作成され、ステップS157に進む。例えば、 $m=3$ の場合を示す図16(c)において、抵抗素子R1では、ステップS154で作成した仮想点NV3とノードN11との間に仮想点NV1が作成される。また、抵抗素子R2では、ノードN21とノードN22との間に仮想点NV2が作成される。

【0095】ステップS157では、以上のように作成された仮想点間に、全体の容量値がCpである場合に、容量値がCp/mであるm個の寄生容量素子が挿入される。その結果、 $m=1$ の場合を示す図16(a)では、仮想点NV1, NV2間に1個の寄生容量素子CP1が挿入される。 $m=2$ の場合を示す図16(b)では、寄生容量素子が寄生容量素子CP1, CP2の2個に分割され、一方の寄生容量素子CP1はノードN11, N21間に挿入され、他方の寄生容量素子CP2は仮想点NV1とノードN22間に挿入される。 $m=3$ の場合を示す図16(c)では、寄生容量素子が寄生容量素子CP1, CP2, CP3の3個に分割され、寄生容量素子CP1はノードN11, N21間に挿入され、寄生容量素子CP2は仮想点NV1, NV2間に挿入され、寄生容量素子CP3は仮想点NV3とノードN22間に挿入される。

【0096】このように、実施の形態3によれば、抵抗素子間に発生する寄生容量素子を1以上の任意の分割数で分割して挿入できるので、分割数が2では精度的に不十分である場合には分割数を増やし、分布定数的に寄生容量素子を挿入することができ、さらに高精度な回路シミュレーション結果を得ることができる。逆に寄生容量素子が单に入りていれば良いという場合には、分割数を1にすることで挿入すべき素子数を削減でき、より高速に回路シミュレーションを実行することができるようになる。

【0097】実施の形態4. 図17は、この発明の実施の形態4である回路シミュレーション装置における共通

10

20

30

40

50

22

区間の判断方法を説明する図である。図17では、複数の抵抗素子R11～R17が、各種の態様で配置される場合が示されている。

【0098】以上説明した実施の形態1～3では、二つの抵抗素子間に寄生容量素子が存在するかどうかは、共通区間の存在有無で判断するようにしている。ところが、図17において、例えば、抵抗素子R11, R13, R16の関係では、抵抗素子R11と抵抗素子R16の間では、共通区間は存在するが、その間に存在する抵抗素子R13によって、抵抗素子R11からは抵抗素子R16が見えない。

【0099】つまり、抵抗素子R16は、抵抗素子R13に完全に隠れてしまっているので、抵抗素子R13がシールドの役割を果たし、抵抗素子R11と抵抗素子R16の間には、寄生容量素子が発生しないか、または発生しても微少な値となることが想定される。そのような寄生容量素子は、挿入しても回路シミュレーション結果に大きな影響を与えないばかりか、取り扱う素子数が増加するので、却ってシミュレーション実行時間が長くなるという問題が起る。

【0100】そこで、抵抗素子間寄生容量値計算部16では、共通区間を有すると判断された場合に、寄生容量素子の挿入を考慮する二つの抵抗素子を、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持つ抵抗素子が存在しない関係の抵抗素子同士に限定する。

【0101】図17の例で言えば、抵抗素子R11に対しては、抵抗素子R12～R15, R17との間でのみ寄生容量素子の挿入を考慮する。また、この場合、抵抗素子R17の下半分は抵抗素子R12に隠れているので、抵抗素子R11, R17間での共通期間は上半分のみとする。

【0102】これによって、回路シミュレーション結果に影響を与えない微少容量を無視することができ、挿入素子数が減ることからシミュレーション実行時間の削減を図ることができる。

【0103】ここで、この発明は、以上説明した実施の形態1～4に限定されるものではなく、各種の変形態様が可能である。一例として以下に、(1) (2) の二つの態様を示す。

【0104】(1) 実施の形態1～4において、二つの抵抗素子の共通区間が、微少な場合には、その間に発生する寄生容量素子の値も微少な値となる。このような寄生容量素子は、挿入してもシミュレーション結果に大きな影響を与えないばかりか、取り扱う素子数が増えるため、シミュレーション実行時間が長くなるという問題が起る。

【0105】そこで、抵抗素子間寄生容量値計算部16では、共通区間の幅と距離から寄生容量値を計算した場合に、その値が予め設定された最小容量値以下ならば、その抵抗素子間では寄生容量素子の挿入は考慮しないよ

うにする。つまり、求めた寄生容量値は、利用せず破棄する。これによって、回路シミュレーション結果に影響を与えない微少容量を無視することができ、シミュレーション実行時間の削減を図ることができる。

【0106】また、この変形態様では、計算する寄生容量値に最小値を設定する方法を例に挙げたが、同様の効果が期待できる他の例として、抵抗素子間の距離が予め設定した最長距離以上であった場合や、共通区間の幅が予め設定した最小幅以下であった場合を挙げることができる。これらの場合には、寄生容量値の計算は行わないようになる。これによっても、同様に回路シミュレーション結果に影響を与えない微少容量の挿入を考慮しないようにすることができる。

【0107】(2) 実施の形態1~4にて説明した抵抗データベースに格納された情報からは、その抵抗素子が例えばベース(base)抵抗素子なのかボリ(poly)抵抗素子なのかなど、どのような構造の抵抗素子であるかの判別ができないので、単一構造の抵抗素子のみで構成されたレイアウトしか扱えないという問題が起こる。抵抗素子がどのような構造のものかによって、発生する寄生容量素子の値が異なる。

【0108】そこで、抵抗データベース作成部15では、抵抗データベースに構造の種類を示す項目を追加し、抵抗データベース作成時にその抵抗の構造も併せて記憶するようにする。これによって、複数の構造の抵抗素子を含むレイアウトも扱えるようになる。

【0109】

【発明の効果】以上説明したように、この発明によれば、回路図作成手段にて、回路図が作成されると、レイアウト作成手段にて、前記回路図に基づきレイアウト図が作成される。そして、素子認識実行手段にて、前記レイアウト図に対して素子認識が実行され、各種の素子および配線、配線一配線間や配線一基板間に発生する寄生素子が抽出され、それに基づき素子認識図が生成される。次いで、ネットリスト生成手段にて、前記素子認識図に基づき回路シミュレーション用のネットリストが生成される。一方、抵抗データベース作成手段にて、前記素子認識図から抵抗素子毎に座標値とノードが収集され、それらが抵抗データベースに格納されると、寄生容量値算出手段にて、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子が選択されて抵抗素子間の寄生容量値が算出され、算出された寄生容量値と前記ノードとが関連付けて寄生容量リストに保存される。その結果、寄生容量挿入手段にて、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述の追加された修正ネットリストが生成され、回路シミュレーション実行手段にて、前記修正されたネットリストに従った回路シミュレーションが実施される。このように、抵抗素子間の寄生容量素子を考慮した回路シミ

10

20

30

40

40

50

ュレーションを実施することができるので、高精度な回路シミュレーション結果を得ることができる。

【0110】つぎの発明によれば、回路図作成手段にて、回路図が作成されると、レイアウト作成手段にて、前記回路図に基づきレイアウト図が作成される。そして、素子認識実行手段にて、前記レイアウト図に対して素子認識が実行され、各種の素子および配線、配線一配線間や配線一基板間に発生する寄生素子が抽出され、それに基づき素子認識図が生成される。次いで、ネットリスト生成手段にて、前記素子認識図に基づき回路シミュレーション用のネットリストが生成される。一方、抵抗データベース作成手段にて、前記素子認識図から抵抗素子毎に座標値とノードが収集され、それらが抵抗データベースに格納されると、寄生容量値算出手段にて、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子が選択されて抵抗素子間の寄生容量値が算出されると、仮想点作成手段にて、前記寄生容量値の算出が行われた抵抗素子において共通区間が抵抗素子の一部であるとき、共通区間の端部に前記ノードが存在しない抵抗素子の対応する位置に仮想点が作成され、前記データベースに抵抗素子と関連づけて格納されるとともに、前記算出した寄生容量値と前記ノードとが関連付けて寄生容量リストに保存される。その結果、寄生容量挿入手段にて、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述の追加された修正ネットリストが生成され、さらに抵抗分割手段にて、前記修正されたネットリストに記述された抵抗素子を、前記データベースに格納された仮想点で分割した抵抗素子に置き換えることで、仮想点間に寄生容量素子が挿入されるように再修正したネットリストが生成され、回路シミュレーション実行手段にて、前記再修正されたネットリストに従った回路シミュレーションが実施される。このように、共通区間が一部の範囲である抵抗素子間の正しい位置に挿入された寄生容量素子を考慮した回路シミュレーションを実施することができるので、一層高精度な回路シミュレーション結果を得ることができる。

【0111】つぎの発明によれば、上記の発明において、前記仮想点作成手段では、指定された分割数に応じた数の仮想点が共通区間に作成される。したがって、実際の寄生容量素子の発生状況に応じたより一層高精度な回路シミュレーションが行える。また、素子数の低減により、回路シミュレーションの高速化も図れるようになる。

【0112】つぎの発明によれば、上記の発明において、寄生容量値算出手段では、寄生容量を発生させる共通区間を有する二つの抵抗素子を選択する際に、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持つ他の抵抗素子が存在しない関係の抵抗素子同士が選択される。その結果、回路シミュレーション結果に影

響を与えない微少な寄生容量素子を無視することができ、シミュレーション実行時間の削減を図ることができる。

【0113】つぎの発明によれば、上記の発明において、寄生容量値算出手段では、寄生容量を発生させる共通区間を有する二つの抵抗素子について算出した寄生容量値が予め定めた最小容量値以下であるときは、当該算出した寄生容量値は破棄される。その結果、回路シミュレーション結果に影響を与えない微少な寄生容量素子を無視することができ、シミュレーション実行時間の削減を図ることができ。

【0114】つぎの発明によれば、上記の発明において、寄生容量値算出手段では、寄生容量を発生させる共通区間を有する二つの抵抗素子について、両者間の距離が予め定めた最大距離以上であるときは、寄生容量値は算出されない。その結果、回路シミュレーション結果に影響を与えない微少な寄生容量素子を無視することができ、シミュレーション実行時間の削減を図ることができ。

【0115】つぎの発明によれば、上記の発明において、寄生容量値算出手段では、寄生容量を発生させる共通区間を有する二つの抵抗素子について、前記共通区間の幅が予め定めた最小幅以下であるときは、寄生容量値は算出されない。その結果、回路シミュレーション結果に影響を与えない微少な寄生容量素子を無視することができ、シミュレーション実行時間の削減を図ることができ。

【0116】つぎの発明によれば、上記の発明において、前記抵抗データベース作成手段では、前記抵抗データベースに各抵抗素子の構造も格納される。これによって、寄生容量素子の値に影響を与える抵抗素子の構造を考慮に入れることができるので、より一層精度のよい回路シミュレーション結果が得られる。また、複数の構造を含むレイアウトも扱えるようになる。

【0117】つぎの発明によれば、回路図作成工程にて、回路図が作成されると、レイアウト作成工程にて、前記回路図に基づきレイアウト図が作成される。そして、素子認識実行工程にて、前記レイアウト図に対して素子認識が実行され、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子が抽出され、それに基づき素子認識図が生成される。次いで、ネットリスト生成工程にて、前記素子認識図に基づき回路シミュレーション用のネットリストが生成される。一方、抵抗データベース作成工程にて、前記素子認識図から抵抗素子毎に座標値とノードが収集されそれらが抵抗データベースに格納されると、寄生容量値算出工程にて、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子が選択されて抵抗素子間の寄生容量値が算出され、算出された寄生容量値と前記ノードとが関連付けて寄生容量リストに保存される。その結果、寄

生容量挿入工程にて、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述の追加された修正ネットリストが生成され、回路シミュレーション実行工程にて、前記修正されたネットリストに従った回路シミュレーションが実施される。このように、抵抗素子間の寄生容量素子を考慮した回路シミュレーションを実施することができるので、高精度な回路シミュレーション結果を得ることができる。

- 10 【0118】つぎの発明によれば、回路図作成工程にて、回路図が作成されると、レイアウト作成工程にて、前記回路図に基づきレイアウト図が作成される。そして、素子認識実行工程にて、前記レイアウト図に対して素子認識が実行され、各種の素子および配線、配線-配線間や配線-基板間に発生する寄生素子が抽出され、それに基づき素子認識図が生成される。次いで、ネットリスト生成工程にて、前記素子認識図に基づき回路シミュレーション用のネットリストが生成される。一方、抵抗データベース作成工程にて、前記素子認識図から抵抗素子毎に座標値とノードが収集されそれらが抵抗データベースに格納されると、寄生容量値算出工程にて、前記抵抗データベースから寄生容量を発生させる共通区間を有する二つの抵抗素子が選択されて抵抗素子間の寄生容量値が算出されると、仮想点作成工程にて、前記寄生容量値の算出が行われた抵抗素子において共通区間が抵抗素子の一部であるとき、共通区間の端部に前記ノードが存在しない抵抗素子の対応する位置に仮想点が作成され、前記データベースに抵抗素子と関連づけて格納されるとともに、前記算出した寄生容量値と前記ノードとが関連付けて寄生容量リストに保存される。その結果、寄生容量挿入工程にて、前記生成されたネットリストに前記寄生容量リストに保存された寄生容量値を持つ寄生容量素子を前記ノード間に挿入する記述の追加された修正ネットリストが生成され、さらに抵抗分割工程にて、前記修正されたネットリストに記述された抵抗素子を、前記データベースに格納された仮想点で分割した抵抗素子に置き換えることで、仮想点間に寄生容量素子が挿入されるように再修正したネットリストが生成され、回路シミュレーション実行工程にて、前記再修正されたネットリストに従った回路シミュレーションが実施される。このように、共通区間が一部の範囲である抵抗素子間の正しい位置に挿入された寄生容量素子を考慮した回路シミュレーションを実施することができるので、一層高精度な回路シミュレーション結果を得ることができる。
- 20 【0119】つぎの発明によれば、上記の発明において、前記仮想点作成工程では、指定された分割数に応じた数の仮想点が共通区間に内に作成される。したがって、実際の寄生容量素子の発生状況に応じたより一層高精度な回路シミュレーションが行える。また、素子数の低減

なる。

【0120】つぎの発明によれば、上記の発明において、寄生容量値算出工程では、寄生容量を発生させる共通区間を有する二つの抵抗素子を選択する際に、一方の抵抗素子から他方の抵抗素子に至る経路にシールド効果を持つ他の抵抗素子が存在しない関係の抵抗素子同士が選択される。その結果、回路シミュレーション結果に影響を与えない微少な寄生容量素子を無視することができ、シミュレーション実行時間の削減を図ることができる。

【0121】つぎの発明によれば、上記の発明において、寄生容量値算出工程では、寄生容量を発生させる共通区間を有する二つの抵抗素子について算出した寄生容量値が予め定めた最小容量値以下であるときは、当該算出した寄生容量値は破棄される。その結果、回路シミュレーション結果に影響を与えない微少な寄生容量素子を無視することができ、シミュレーション実行時間の削減を図ることができる。

【0122】つぎの発明によれば、上記の発明において、寄生容量値算出工程では、寄生容量を発生させる共通区間を有する二つの抵抗素子について、両者間の距離が予め定めた最大距離以上であるときは、寄生容量値は算出されない。その結果、回路シミュレーション結果に影響を与えない微少な寄生容量素子を無視することができ、シミュレーション実行時間の削減を図ることができる。

【0123】つぎの発明によれば、上記の発明において、寄生容量値算出工程では、寄生容量を発生させる共通区間を有する二つの抵抗素子について、前記共通区間の幅が予め定めた最小幅以下であるときは、寄生容量値は算出されない。その結果、回路シミュレーション結果に影響を与えない微少な寄生容量素子を無視することができ、シミュレーション実行時間の削減を図ることができる。

【0124】つぎの発明によれば、上記の発明において、前記抵抗データベース作成工程では、前記抵抗データベースに各抵抗素子の構造も格納される。これによって、寄生容量素子の値に影響を与える抵抗素子の構造を考慮に入れることができるので、より一層精度のよい回路シミュレーション結果が得られる。また、複数の構造を含むレイアウトも扱えるようになる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1である回路シミュレーション装置の構成を示すブロック図である。

【図2】 図1に示す抵抗データベース作成部が素子認識図面からレイアウト内の抵抗素子に関する情報を取得

する動作の説明図である。

【図3】 図1に示す抵抗データベース作成部が作成する抵抗データベースの構成例を示す図である。

【図4】 図1に示す抵抗素子間寄生容量計算部の算出処理手順を説明するフローチャートである。

【図5】 図1に示す寄生容量挿入部の挿入処理手順を説明するフローチャートである。

【図6】 図1に示す寄生容量挿入部にて抵抗素子間寄生容量が挿入されるネットリストの説明図である。

10 【図7】 図1に示す寄生容量挿入部による抵抗素子間寄生容量の挿入操作結果の説明図である。

【図8】 この発明の実施の形態2である回路シミュレーション装置の構成を示すブロック図である。

【図9】 図8に示す仮想点作成部の仮想点作成処理手順を説明するフローチャートである。

【図10】 図8に示す仮想点作成部の仮想点作成動作を説明する図である。

【図11】 作成された仮想点を格納するデータベースの構成例を示す図である。

20 【図12】 図8に示す抵抗分割部の分割処理手順を説明するフローチャートである。

【図13】 分割した抵抗素子が挿入されるネットリストの説明図である。

【図14】 分割された抵抗素子間寄生容量素子の挿入操作結果の説明図である。

【図15】 この発明の実施の形態3である回路シミュレーション装置の動作を説明するフローチャートである。

30 【図16】 寄生容量素子を任意の数に分割する分割処理を説明する図である。

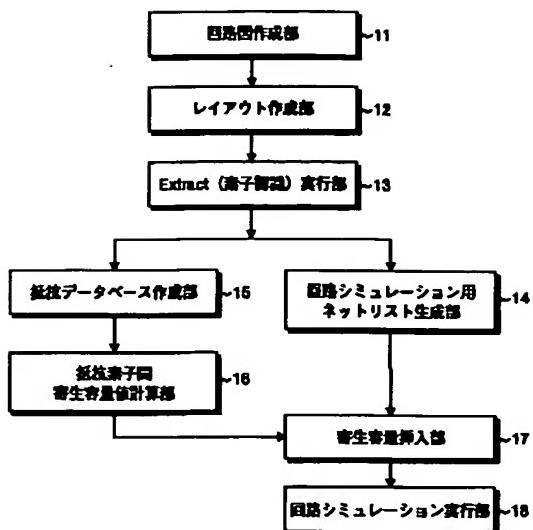
【図17】 この発明の実施の形態4である回路シミュレーション装置における共通区間の判断方法を説明する図である。

【図18】 従来の回路シミュレーション装置の構成を示すブロック図である。

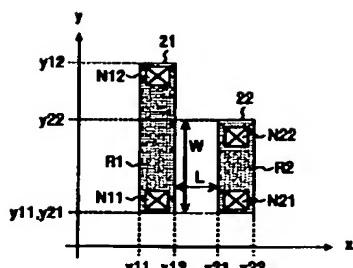
【符号の説明】

40 11 回路作成部、12 レイアウト作成部、13 E xtract(素子認識)実行部、14 回路シミュレーション用ネットリスト生成部、15 抵抗データベース作成部、16 抵抗素子間寄生容量値計算部、17 寄生容量挿入部、18 回路シミュレーション実行部、21, 22 抵抗素子、71~73 共通区間、81 仮想点作成部、82 抵抗分割部、R1, R2, 11~17 抵抗素子、CP1~CP3 寄生容量素子、N1 1, N12, N21, N22 ノード、W 共通区間の幅、L 距離。

【図1】



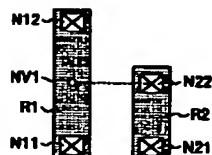
【図2】



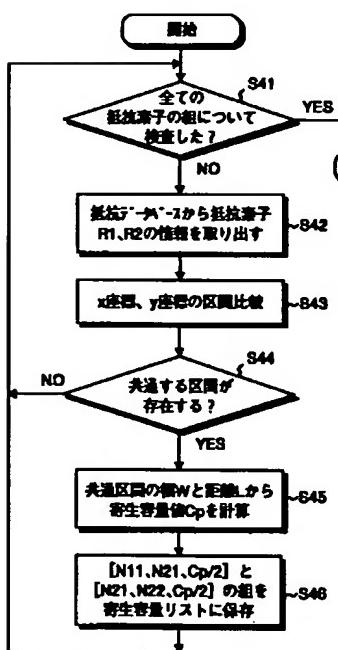
【図3】

R1	x11	y11	x12	y12	N11	N12
R2	x21	y21	x22	y22	N21	N22

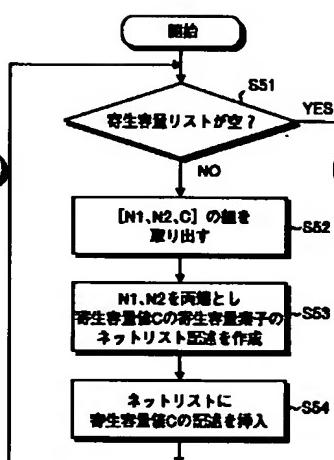
【図10】



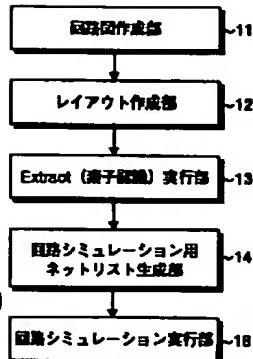
【図4】



【図5】



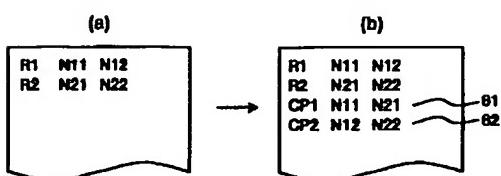
【図18】



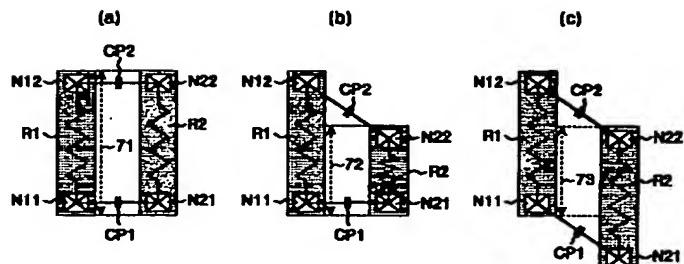
【図11】

R1	x11	y11	x12	y12	N11	N12	(NV1,y1), ...
R2	x21	y21	x22	y22	N21	N22	(NV2,y2), ...

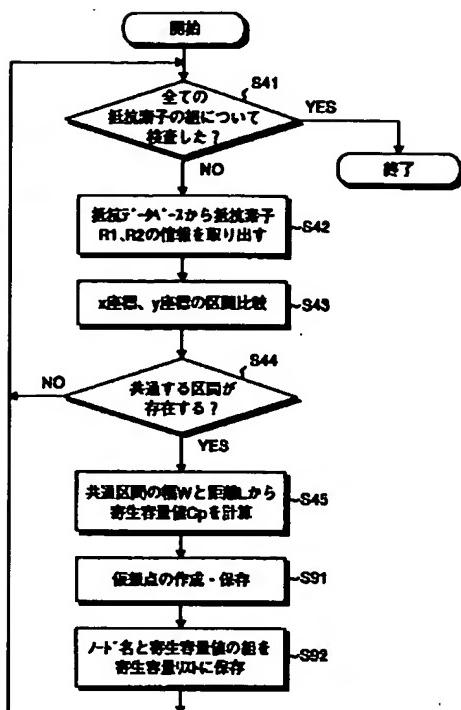
【図6】



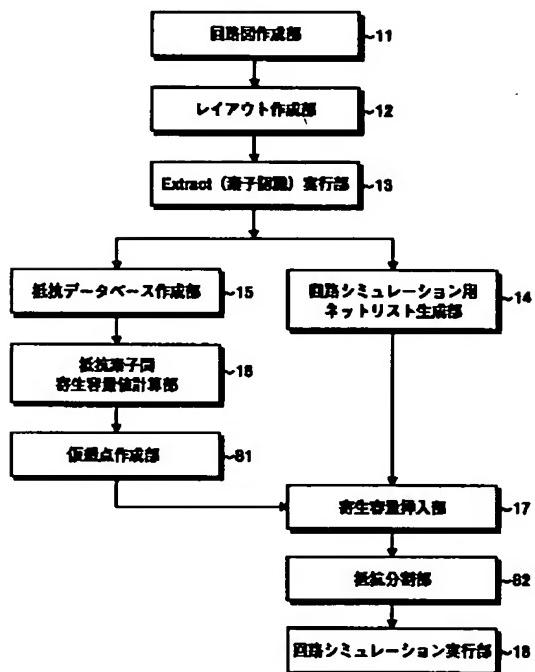
【図7】



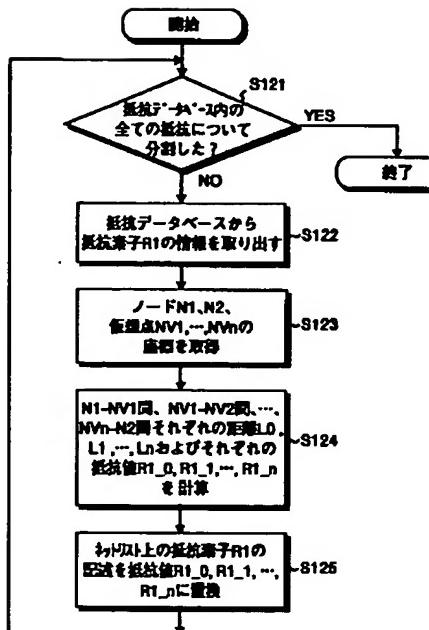
【図9】



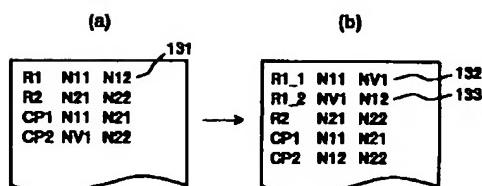
【図8】



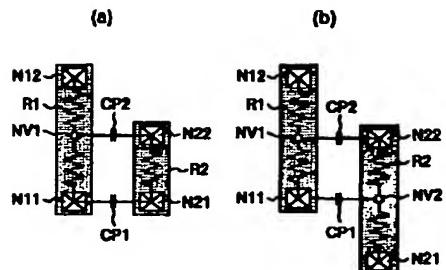
【図12】



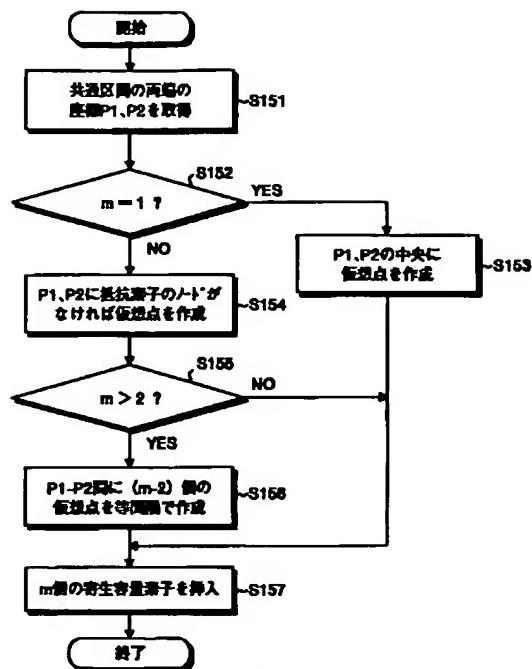
【図13】



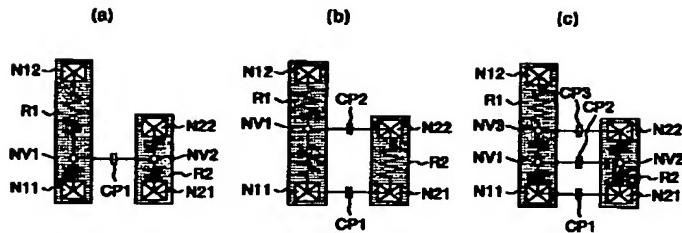
【図14】



【図15】



【図16】



【図17】

